

1-TRANSISTOR TYPE MEMORY CELL

1-TRANSISTOR TYPE MEMORY CELL

Patent Number: JP62272561
Publication date: 1987-11-26
Inventor(s): FUJIMORI KEITARO
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP62272561
Application Number: JP19860115621 19860520
Priority Number(s):
IPC Classification: H01L27/10; G11C11/34
EC Classification:
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a memory cell for performing a DRAM of approx. 64Mbit by using a trench type capacitor buried through a thin insulating film in a P<+> type substrate, and an N-channel MIS transistor of vertical SOI structure having an upper part as a source electrode.

CONSTITUTION: A trench type capacitor of N<+> type polysilicon 24 buried through a thin insulating film 25 in a P<+> type substrate 21, and an N-channel MIS transistor of vertical SOI structure having the upper part of the polysilicon 24 as a source electrode are employed. For example, a trench structure is formed by RIE on the substrate 21, and the polysilicon 34, a P<-> type polysilicon 23 and an N<+> type polysilicon 22 are formed through the film 25. Further, after a field oxide film 28 and a gate oxide film 26 are formed, a gate electrode 27, a word line 29 and an interlayer insulating film 30 are formed, a contact hole is then opened to form a bit line 31, thereby obtaining a 1-transistor type memory cell in which a vertical MOS transistor is laminated on the trench type data storage capacitor.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-272561

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月26日

H 01 L 27/10
G 11 C 11/34

3 5 2

8624-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 1トランジスタ型メモリセル

⑯ 特 願 昭61-115621

⑰ 出 願 昭61(1986)5月20日

⑱ 発 明 者 藤 森 啓 太 郎 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

1トランジスタ型メモリセル

2. 特許請求の範囲

(1) P⁺基板中に薄い絶縁膜を介して埋めこまれたn⁺ポリシリコンによるトレンチ型コンデンサと、そのn⁺ポリシリコンの上部をそのまま、ソース電極とする、縦型のSOI構造のnチャネルMISトランジスタを用いることを特徴とする1トランジスタ型メモリセル。

(2) nチャネルMISトランジスタのゲート電極がRIE等の異方性エッチングにより、セルフアライメントで形成されることを特徴とする、特許請求の範囲第1項記載の1トランジスタ型メモリセル。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体メモリの素子構造に関する。

〔従来の技術〕

従来の大規模半導体メモリの素子構造は、特に1トランジスタ型メモリセルに限れば、積み上げ容量型(M. Koyanagi et al: IEEE, IEDM 348, 1978)、あるいは、溝の側壁を容量とするタイプ(H. Sunami et al: IEEE, IEDM 806, 1982)の2つの流れがあった。現在発表されている素子構造としては、1セルの面積が9 μm^2 程度となっており、4~16Mbit DRAMへの適用が考えられている。(W. F. Richardson, et al: IEEE, IEDM 714, 1985)

〔発明が解決しようとする問題点〕

しかし、半導体メモリの大容量化の要求は強く前述の従来技術では、16Mbitまでが限界と

4 図面の簡単な説明

第1図は本発明のメモリセルのレイアウト図。

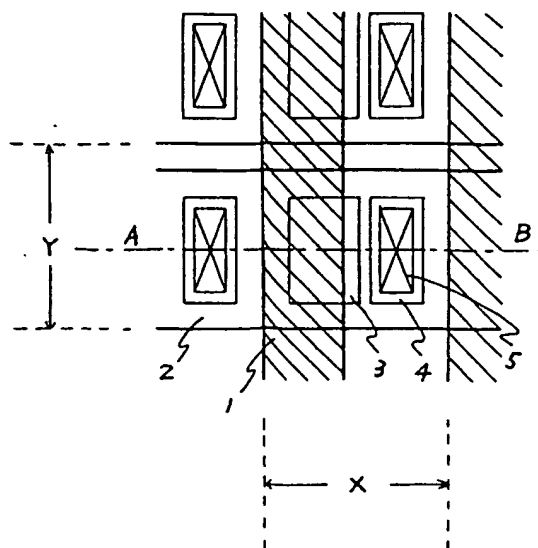
第2図は本発明のメモリセルの断面模式図。

第3図(a)～(d)は本発明のメモリセルの製造工程の概略図。

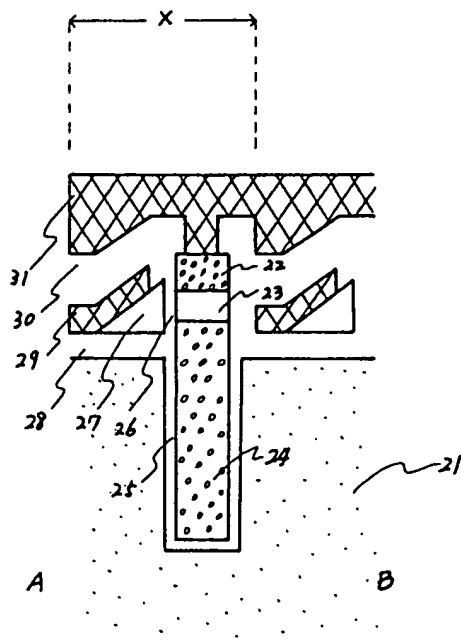
以 上

出 願 人 セイコーエプソン株式会社

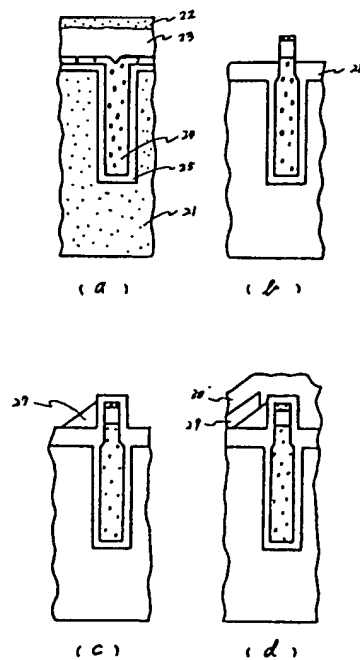
代 理 人 弁 理 士 最 上 務 (他1名)



第 1 図



第 2 図



第 3 図

4 図面の簡単な説明

第1図は本発明のメモリセルのレイアウト図。

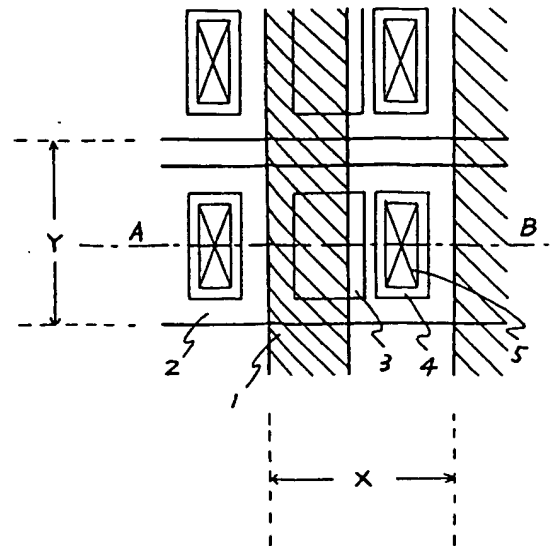
第2図は本発明のメモリセルの断面模式図。

第3図(a)～(d)は本発明のメモリセルの製造工程の概略図。

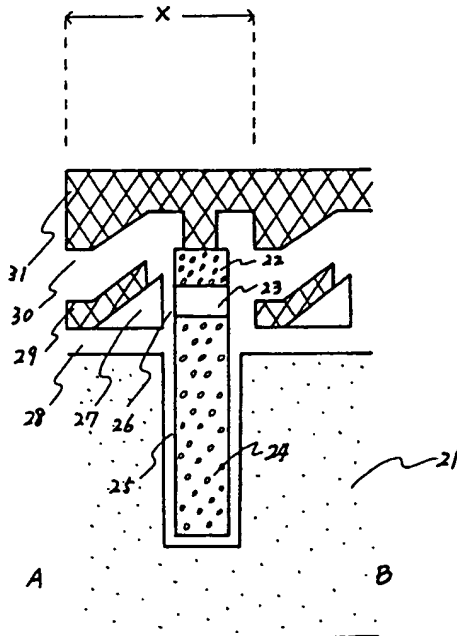
以 上

出 願 人 セイコーエプソン株式会社

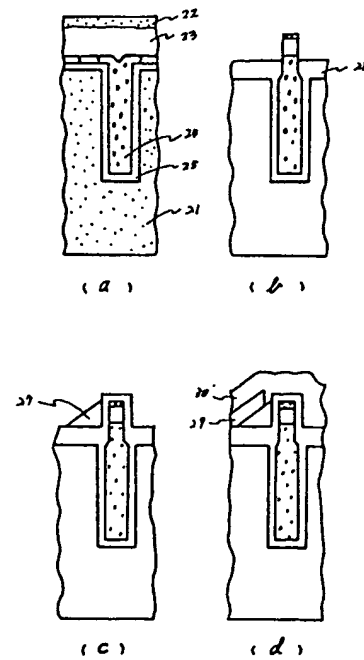
代 理 人 弁 理 士 最 上 務 (他1名)



第 1 図



第 2 図



第 3 図